

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-040915

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H05K 1/16

H01F 1/34

H01F 27/00

H01F 17/00

H05K 1/11

(21)Application number : 09-253519

(71)Applicant : NEC CORP

(22)Date of filing : 18.09.1997

(72)Inventor : TOYA HIROKAZU

YOSHIDA SHIRO

SHIMADA YUZO

(30)Priority

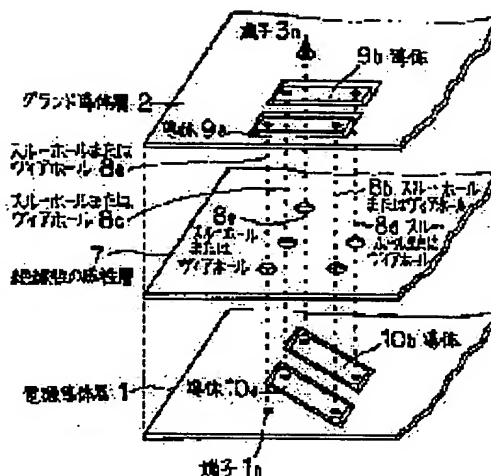
Priority number : 09132202 Priority date : 22.05.1997 Priority country : JP

(54) PRINTED WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a printed wiring board which can reduce the generation of electromagnetic noise, markedly increase resistance with respect to external electromagnetic noise, and smooth the high-frequency operation of electronic circuit as IC, LSI, etc., to be mounted thereon.

SOLUTION: An insulation magnetic layer 7 is disposed between a power conductive layer 1 and a grounding conductive layer 2. When conductors 10a and 10b made by cutting off parts of the power conductive layer 1 are connected to conductors 9a and 9 made by cutting off parts of the grounding layer 2 through through-holes or via holes 8a, 8b, 8c, 8d and 8e, a spiral coiled inductor is formed.



LEGAL STATUS

[Date of request for examination] 18.09.1997

[Date of sending the examiner's decision of rejection] 05.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平11-40915

(43) 公開日 平成11年(1999) 2月12日

(51) Int. Cl. ⁶

識別記号

F I

H05K 1/16

H05K 1/16

A

H01F 1/34

H01F 17/00

C

27/00

H05K 1/11

H

17/00

H01F 1/34

A

H05K 1/11

15/00

D

審査請求 有 請求項の数14 O L (全16頁)

(21) 出願番号

特願平9-253519

(22) 出願日

平成9年(1997) 9月18日

(31) 優先権主張番号

特願平9-132202

(32) 優先日

平9(1997) 5月22日

(33) 優先権主張国

日本(J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 遠矢 弘和

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 吉田 史郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 嶋田 勇三

東京都港区芝五丁目7番1号 日本電気株式会社内

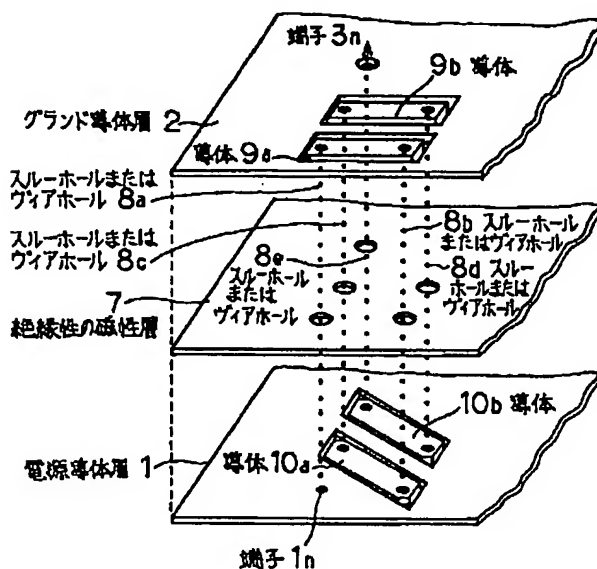
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 プリント配線板

(57) 【要約】

【課題】 電磁ノイズの発生を低減し、外来の電磁ノイズへの耐力を大幅に高め、実装されるIC、LSI等の電子回路の高周波動作を円滑にするプリント配線板を提供する。

【解決手段】 電源導体層1とグランド導体層2の間に絶縁性の磁性層7が配置され、電源導体層1の一部を切り取って形成された導体10a、10bとグランド導体層2の一部を切り取って形成された導体9a、9bの間をスルーホールまたはビアホール8a、8b、8c、8d、8eによって接続することによってスパイラルコイル状をしたインダクタが形成されている。



【特許請求の範囲】

【請求項1】 2層以上の導体層を有するプリント配線板において、対向する2層の導体層の一部を切り取ってできる複数の導体と、前記複数の導体のそれぞれの間を垂直に接続するスルーホールまたはビアホールによって構成されるスパイラルコイルインダクタを有し、かつ、前記スパイラルコイルインダクタを構成するために用いられる対向する2層の導体層間の一部または全面領域に絶縁性の磁性材が層状に配置されていることを特徴とするプリント配線板。

【請求項2】 前記スパイラルコイルインダクタの一端は搭載された電子回路の電源端子に、他の一端は電源導体層に接続され、かつ、前記電子回路の電源端子とグランド端子との間にはコンデンサが接続されている請求項1記載のプリント配線板。

【請求項3】 搭載された電子回路の出力端子と他の搭載された電子回路の入力端子との間に接続された高周波フィルタの一構成要素として前記スパイラルコイルインダクタが用いられている請求項1記載のプリント配線板。

【請求項4】 前記電子回路はICまたはLSIである請求項2または3記載のプリント配線板。

【請求項5】 前記スパイラルコイルインダクタを構成するために用いられる導体は、対向するグランド導体層と電源導体層の一部である請求項1記載のプリント配線板。

【請求項6】 前記スパイラルコイルインダクタを構成するための対向する2層の導体層はともに電源導体層の一部であり、前記2層の導体層の両外側に少なくとも1層ずつのグランド導体層を有する請求項1記載のプリント配線板。

【請求項7】 前記スパイラルコイルインダクタを構成するための対向する2層の導体層を貫通する信号導体層間垂直接続用スルーホールまたはビアホールに、グランド導体層に両端が接続されているスルーホールまたはビアホールが近接して配置されている請求項1、3、4、5または6記載のプリント配線板。

【請求項8】 前記導体層間に配置される絶縁性の磁性材としてNi-Zn系フェライト微粒粉末と絶縁剤との混合物が用いられている請求項1、3、5または6記載のプリント配線板。

【請求項9】 前記導体層間に配置される絶縁性の磁性材としてMn-Zn系フェライト微粒粉末と絶縁剤との混合物が用いられている請求項1、3、5または6記載のプリント配線板。

【請求項10】 前記導体層間に配置される絶縁性の磁性材としてセンダスト微粒粉末と絶縁剤との混合物が用いられている請求項1、3、5または6記載のプリント配線板。

【請求項11】 前記導体層間に配置される絶縁性の磁

性体としてLi系フェライト微粒粉末と絶縁剤との混合物が用いられている請求項1、3、5または6記載のプリント配線板。

【請求項12】 前記絶縁剤がエポキシ系絶縁剤である請求項8ないし11のいずれか一項記載のプリント配線板。

【請求項13】 前記導体層間に配置される絶縁性の磁性体として両面に絶縁コーティングが施された金属箔が用いられている請求項1ないし7のいずれか一項記載のプリント配線板。

【請求項14】 前記両面に絶縁コーティングが施された金属箔がアモルファス磁性箔多層帯である請求項13記載のプリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプリント配線板に関し、特に2層以上の導体層を有するプリント配線板に関する。

【0002】

【従来の技術】トランジスタ、IC、LSI等のような回路素子が搭載されたプリント配線板は電磁ノイズを発生するため、そのプリント配線板が電子機器自体にあるいは他の電子機器に誤動作を引き起こすことがあることはよく知られている。

【0003】誤動作を引き起こす原因の中で特に大きなウエートを示すのは、コモンモードと呼ばれる、回路の寄生容量や寄生相互インダクタンスを経由して流れる電流（回り込み電流）による伝導性または放射性電磁波であり、その発生機構が複雑なため、最も効果的と考えられている発生源に近いところでの有効な対策がなかった。このため従来は電子機器全体を金属を使用して電磁的に遮蔽するとともに、装置外部に出ているケーブルに対してはコモンモードチョークコイルやコアを装着して電磁波の伝導を抑圧する対策がとられている。

【0004】一方、プリント配線板においては、従来は図12に示すように、プリント配線板の電源導体層1に相当する電源供給線1とグランド導体層2に相当するグランド線2とにそれぞれ接続された、IC、LSI等の電子回路21～2nの電源端子3a～3nとグランド端子4a～4nとの間に、高周波コンデンサC1～Cnを接続することがよく行われている。これはIC、LSI等の電子回路21～2nの高周波動作に伴って電源供給線1に流れる高周波電流を高周波コンデンサC1～Cnに流し、電源端子電圧の高周波変動を低減する（フィルタリング）とともに、電源供給線1を共有している他のIC、LSI等の電子回路21～2nとの結合を抑圧すること（すなわちデカップリング）を目的としている。ところが、図10に示すように、従来のプリント配線板の電源導体層1は特に電源電圧の変動を低減する効果を得るため、配線のない全面平板として電源供給線のイン

ピーダンスを小さくしている。

【0005】

【発明が解決しようとする課題】 上述した従来のプリント配線板では、IC、LSI等の電子回路の高周波動作に伴って電源供給線に流れる高周波電流を回路設計者がコントロールできないという問題がある。

【0006】 すなわち、電源導体層が配線のない全面平板である場合は、電源供給線のインピーダンスが小さいため、IC、LSI等の電子回路（以下単に電子回路と称する）の電源端子とグランド端子との間に、高周波コンデンサを接続しても高周波電源電流を電源供給線への流出を抑制することが難しく、供給線を共有している他の電子回路の近傍に配置したデカップリングコンデンサにも高周波電源電流が流れ込み、プリント配線板全体では高周波電源電流の解析は非常に困難であった。このため、電子回路毎に使用するデカップリングコンデンサを厳密に選定することができなかった。

【0007】 また、プリント配線板全体の高周波電源電流の分布は非常に複雑であって、電子回路のプリント配線板上の配置や、同じ配置でも電子回路の動作状態によって高周波電源電流が大きなループを形成するように分布し、これが電磁放射問題やイミュニティ問題を招く可能性があった。

【0008】 例えば図12に示すように、高周波電源電流の異なる電子回路Z1（電流大）、Z2（電流中）、Zn（電流小）がそれぞれ電源供給線1およびグランド線2に接続されており、またそれぞれの電子回路には主に実装上と価格からの制約により、それらの高周波電源電流量に応じた静電容量値（Z1には大容量、Z2には中容量、Znには小容量）のコンデンサC1、C2およびCnがそれぞれ接続される。このような状態においてプリント配線板上の電子回路が動作すると、例えば高周波電源電流の小さい電子回路Znの電源端子とグランド端子との間に接続された容量の小さいコンデンサCnは、他に比べてインピーダンスが大きいので、高周波電源電流が中程度の電子回路Z2の電源端子とグランド端子との間に接続された中位の容量を有する（Znに比べてインピーダンスが小さい）コンデンサC2や、高周波電源電流の大きい電子回路Z1の電源端子とグランド端子との間に接続されたより容量の大きいコンデンサC1に、電子回路Znの高周波電源電流が流れ込んでしまうという状態が生じる。さらに、コンデンサは同一タイプであっても静電容量によってインピーダンスの周波数特性が異なり、静電容量の小さなコンデンサのインピーダンスはある高周波値以上でそれよりも大きな静電容量を有するコンデンサのインピーダンスよりも小さくなる傾向にあるため、広い範囲の周波数帯域で見ると、プリント配線板上の電子回路間を複雑に電流が行き来する状態となってしまう。その結果高周波電源電流の作るループが大きくなったり、プリント配線板から他のプリント

配線板に接続されているケーブル等にコモンモードの高周波電流を流出させるため、伝導性または放射性の電磁波を増大させ電子機器相互間の電磁干渉問題、すなわちいわゆるEMC問題を引き起こしていた。さらに、例えばプリント配線板上の一つの電子回路の高周波電源電圧変動が問題になり、その電子回路の付近のデカップリングコンデンサの容量を増やしても、増やせば増やすほど他の電子回路の高周波電源電流が流れ込み、なかなか高周波電源電圧変動を低減できず、電子回路の高周波動作を確保できない可能性もあった。

【0009】 さらに、低周波動作の論理装置に最新のIC/LSIを使用する場合、IC/LSIの矩形波信号の上昇時間や下降時間が早すぎることにによる不要の伝導性または放射性の電磁波の発生を防ぐために、IC/LSIの矩形波信号の上昇時間や下降時間を遅くするための高周波フィルタを挿入することがあるが、部品として追加すると、プリント配線板上の高密度実装を阻害するという問題があった。このため、従来のプリント配線板はEMC問題に対しては前述のように電子機器全体を金属を使用して電磁的に遮蔽するとともに、装置外部に出ているケーブルに対してはコモンモードチョークコイルやコアを装着して電磁波の伝導を抑圧する対策をとらなければならず、IC/LSIの高周波動作を阻害する問題について、プリント配線板に必要以上の数のコンデンサを実装して、配線板全体の高周波電源電圧変動を押え込むことで対処しなければならないという欠点がある。本発明の目的は、電磁ノイズの発生を大幅に低減し、外来の電磁ノイズへの耐力を大幅に高めることができ、実装されるIC、LSI等の電子回路の高周波動作を円滑に行わせるプリント配線板を提供することである。

【0010】 また本発明の他の目的は、配線板上のIC、LSI等の電子回路の一つ一つの高周波電源電流を回路設計者がコントロールすることのできるプリント配線板を提供することである。

【0011】

【課題を解決するための手段】 本発明のプリント配線板は、2層以上の導体層を有するプリント配線板において、対向する2層の導体層の一部を切り取ってできる複数の導体と、前記複数の導体のそれぞれの間を垂直に接続するスルーホールまたはヴィアホールによって構成されるスパイラルコイルインダクタを有し、かつ、前記スパイラルコイルインダクタを構成するために用いられる対向する2層の導体層間の一部または全面領域に絶縁性の磁性材が層状に配置されている。

【0012】 前記スパイラルコイルインダクタの一端は搭載された電子回路の電源端子に、他の一端は電源導体層に接続され、かつ、前記電子回路の電源端子とグランド端子との間にはコンデンサが接続されていてもよい。

【0013】 搭載された電子回路の出力端子と他の搭載された電子回路の入力端子との間に接続された高周波フ

ィルタの一構成要素として前記スパイラルコイルインダクタが用いられているものも含む。

【0014】前記電子回路はICまたはLSIであってもよい。

【0015】前記スパイラルコイルインダクタを構成するために用いられる導体は、対向するグラウンド導体層と電源導体層の一部であるものを含む。

【0016】前記スパイラルコイルインダクタを構成するための対向する2層の導体層はともに電源導体層の一部であり、前記2層の導体層の両外側に少なくとも1層 10 ずつのグラウンド導体層を有するものを含む。

【0017】前記スパイラルコイルインダクタを構成するための対向する2層の導体層を貫通する信号導体層間垂直接続用スルーホールまたはヴィアホールに、グラウンド導体層に両端が接続されているスルーホールまたはヴィアホールが近接して配置されているものを含む。

【0018】前記導体層間に配置される絶縁性の磁性材としてNi-Zn系フェライト微粒粉末またはMn-Zn系フェライト微粒粉末またはセンダスト微粒粉末またはLi系フェライト微粒粉末と絶縁溶剤との混合物が用 20 いられてよい。

【0019】前記絶縁溶剤にはエポキシ系絶縁溶剤が含まれる。

【0020】前記導体層間に配置される絶縁性の磁性体として両面に絶縁コーティングが施された金属箔が用いられてよい。

【0021】前記両面に絶縁コーティングが施された金属箔がアモルファス磁性箔多層帯を含む。

【0022】

【発明の実施の形態】次に、本発明の実施の形態につい 30 て図面を参照して説明する。

【0023】図1は本発明のプリント配線板の一実施形態の要部であるスパイラルコイルインダクタの回路シンボル図、図2(a)は図1のプリント配線板の第1実施例のスパイラルコイルインダクタの平面図、同図(b)は同図(a)の縦断面図、図3は図2(a)のスパイラルコイルインダクタの斜視図、図4(a)は図1のプリント配線板の第2実施例のスパイラルコイルインダクタの平面図、同図(b)は同図(a)の縦断面図、図5は 40 図1のスパイラルコイルインダクタの応用例を示す回路

図、図6は図5のスパイラルコイルインダクタの斜視図、図7は図1のスパイラルコイルインダクタを構成するための4層プリント配線板の縦断面図、図8は図1のスパイラルコイルインダクタを構成するための6層プリント配線板の縦断面図、図9は本発明のプリント配線板の図7と異なる6層プリント配線板の一実施例の縦断面図、図10は図1のスパイラルコイルインダクタを構成するための他の6層プリント配線板の縦断面図である。

【0024】図1は本発明のプリント配線板の要部であるスパイラルコイルインダクタの回路記号を示し、図2(a)および(b)は図1のプリント配線板の第1実施例のスパイラルコイルインダクタLnの平面図および断面図を示している。図1の回路記号の端子番号1nと3nは、図2(a)の平面図の端子番号1nと3nにそれぞれ対応している。第1実施例のプリント配線板では対向する2層の導体層9、10の一部を切り取ってできる複数の導体9a、9bおよび10a、10bと、これら対向する2層の導体9aと10aおよび9bと10b間の全面領域に絶縁性の磁性材7が層状に配置され、それ 50 ぞれの導体間を接続するスルーホールまたはヴィアホール8a、8b、8cおよび8dを使用して、図2

(a)、(b)および図3の斜視図のように構成することにより、スパイラルコイル状のインダクタであるスパイラルコイルインダクタがプリント配線板内に形成されている。第4(a)および(b)は図1のプリント配線板の第2実施例のスパイラルコイルインダクタLnの平面図および縦断面図を示している。

【0025】第2実施例のプリント配線板では、図4(a)、(b)に示すように、対抗する2層の導体9aと10aおよび9bと10b間の一部の領域に絶縁性の磁性材7が層状に配置されて、スパイラルコイルインダクタが形成されている他は第1実施例と同様の構成となっている。

【0026】第1実施例および第2実施例のプリント配線板では、2層の導体層を使用してスパイラルコイルコングダクタが形成されている。このコイルのインダクタンス(L)は次式で求められる。

【0027】

【数1】

$$L = \frac{\mu_0 \mu_r n^2 s}{l} \quad (\text{ヘンリー}) \quad \dots\dots (1)$$

ただし、 μ_0 : 真空中の透磁率 ($4\pi \times 10^{-7}$)

μ_r : 比透磁率

n : スパイラルコイル巻数

s : スパイラルコイル断面積 (m^2)

l : スパイラルコイル平均磁路長 (m)

この式から、スパイラルコイル状に構成することによりインダクタンス(L)はスパイラルコイル巻数の二乗に 50

比例することがわかる。

【0028】例えばよく知られているつづら折りの形状でインダクタを1層の導体で構成する例では、インダクタを構成する導体層の両側に絶縁性の磁性材を層状に配置しその外側をグラウンド導体層で挟む構造(特願平07-236488)でのインダクタを構成できるが、この場合、インダクタ導体と近接導体と隣接するグラウンド導

体層の間の静電結合が、インダクタのインピーダンスを抑制し、インダクタの導体長を長くしても、問題とする高周波電流の $1/2$ 波長以上になると、無損失線路の場合、式(2)式で表される、長さおよび印加電流の周波数に無関係な一定のインピーダンス(伝送線路の特性インピーダンス Z_0)となる。

【0029】

【数2】

$$Z_0 = \sqrt{\frac{L}{C}} (\Omega) \dots\dots (2)$$

ただし、 C : 誘電体を挟んで対向する導体間の静電容量(F)

L : インダクタのインダクタンス(H)

つまり、一般に絶縁性の磁性材は比較的高い透磁率を示すとともに、比較的大きい誘電率も示す。前記(2)式において、 C の値は向かい合う導体の有効面積と誘電率に比例、すなわち導体幅および、グランド導体層との対向距離とその間の誘電率が一定ならば静電容量は導体の長さに比例することはよく知られている。同様につづら折りの形状で前記のようにしてインダクタを1層の導体で構成する場合のインダクタンスについても、導体幅およびこの導体周囲に実効透磁率が一定ならばインダクタンスは導体の長さに比例することもよく知られている。したがって、導体の長さを長くすると静電容量 C とインダクタンス L は同率で増加するため、前記式(2)により、特性インピーダンスは常に一定の値となる。

【0030】一方、本発明に係るスパイラルコイルインダクタでは、インダクタンス L は巻数の二乗に比例するのであるから、導体幅が一定ならば L の値は導体の長さの二乗に比例することになり、本発明の構成によれば、スパイラルコイルインダクタのインダクタンス L の値は、安定な特性を得るためならびに発生磁界による信号導体層への干渉を低減するためにインダクタの両側を例えばグランド導体層で挟む構造とする場合においても、インピーダンスの上限値は前記式(2)で制限されず、より大きい値とすることが可能であるとともに、周波数が高くなればなるほど大きなインピーダンスを得ることが可能となる。

【0031】図2および図4は巻き数2のスパイラルコイルインダクタの例を示しているが、導体9および10の数を増やしてより大きな巻き数を得ることも可能である。図2の(a)中の1は平均磁路長、(b)中の s は有効断面積であり、これらの値が構造的に決まり、巻き数 n が決定されると、インダクタンス L を前記(1)式により求めることができる。

【0032】図5は、前記のようにして形成されるスパイラルコイルインダクタを、プリント配線板に搭載されるIC、LSI等の電子回路 $Z_1 \sim Z_n$ の電源デカップリング回路ならびにIC/LSIの矩形波信号の上昇時

間や下降時間を遅くするための高周波フィルタの一部として応用した例の回路を示している。このプリント配線板では適切な特性に設計されたスパイラルコイルインダクタ $L_1 \sim L_n$ の一端は電子回路 $Z_1 \sim Z_n$ の電源端子に、他の一端は電源導体層1に接続され、さらに電子回路の電源端子 $3a \sim 3n$ とグランド端子 $4a \sim 4n$ との間には適切な特性のコンデンサ $C_1 \sim C_n$ が選択されて接続されており、電子回路 $Z_1 \sim Z_n$ の高周波動作に伴う高周波電源電流を効果的にコンデンサにバイパスしており、高周波電源電流の電源端子1への漏出が抑制される。このことは、電子回路 $Z_1 \sim Z_n$ 毎に接続されているコンデンサ $C_1 \sim C_n$ の値を独立に最適化設計することができることを意味している。なお、併せて、スパイラルコイルインダクタ $L_1 \sim L_n$ の導体寸法を適切に設定することにより、抵抗値を微小な値にすれば、電子回路 $Z_1 \sim Z_n$ の電源電圧変動は微小な値とすることが可能である。

【0033】また、図5の電子回路 Z_1 と Z_2 の間に信号線5によって高周波フィルタ F_1 が接続されているが、高周波フィルタ F_1 はLC/LSIの矩形波信号の上昇時間や下降時間を遅くするために使用されるもので、高周波フィルタ F_1 にはスパイラルコイルインダクタ L_1 が一構成要素として内蔵されている。高周波フィルタにスパイラルコイルインダクタが使用されると、低周波動作の論理装置に最新のIC/LSIを使用しても、実装上効率よくIC/LSIの矩形波信号の上昇時間や下降時間が早すぎることによる不要の伝導性または放射性的電磁波の発生を防ぐことができる。

【0034】図6は図5に示した回路図のうち、1単位の電源デカップリング回路についての接続構造を示している。この図において特に電子回路 Z の電源端子3からコンデンサ C_n 、グランド層2を経て電子回路 Z のグランド端子4に至る経路の長さはできるだけ短くして、高周波電源電流が容易に流れるようにすることが重要である。

【0035】図7のプリント配線板は外側2層が信号導体層5、内側2層が電源導体層1とグランド導体層2として使用され、対向する電源導体層1とグランド導体層2間に絶縁性の磁性体7が層状に配置された4層のプリント配線板である。

【0036】このプリント配線板にはスパイラルコイルインダクタ L_n が電源導体層1とグランド導体層2を使用して形成されるが、絶縁性の磁性体7はNi-Zn系フェライト微粒粉末とエポキシ系等の絶縁溶剤との混合物、Mn-Zn系フェライト微粒粉末とエポキシ系等の絶縁溶剤との混合物、またはLi系フェライト微粒粉末とエポキシ系等の絶縁溶剤との混合物等が使用される。

【0037】図8は最外側2層が信号導体層5、絶縁性の磁性層7を挟む最内側2層が電源導体層1であってスパイラルコイルインダクタ L_n の形成にも使用され、電

10

20

30

40

50

源導体層1の両外側2層がグランド導体層2として使用される6層プリント配線板を示している。このような6層プリント配線板の対向する2層の電源導体層1の一部に、本発明に係るスパイラルコイルインダクタを形成する場合、スパイラルコイルインダクタ部分の構成は、先に説明したとおりである。

【0038】図9に示されたプリント配線板には、スパイラルコイルインダクタを構成するための対向する2枚の電源導体層1と、電源導体層1の両外側2枚のグランド導体層2を貫通する信号導体層間垂直接続用スルーホールまたはビアホール8₁に、電源導体層1の両外側2枚のグランド導体層2に両端が接続されているスルーホールまたはビアホール8₁が近接して配置されている。このような構成とすることにより、信号導体層間垂直接続用スルーホールまたはビアホール8₁の磁性層7付近でのインピーダンスの乱れを抑制することができる。

【0039】図10のプリント配線板は、層間に配置される絶縁性の磁性材7として両面に絶縁コーティング11を施したアモルファス磁性箔多層帯が用いられている。層間に配置される絶縁性の磁性材7として、もちろんその他の材料の使用も可能である。

【0040】本実施形態のプリント配線板は、対向する2層の導体間の一部または全面に絶縁性の磁性材を層状に配置して構成する、スパイラルコイルインダクタL_nを内蔵しているので、少ないスペースでより大きなインダクタンスを得ることができる。

【0041】前記スパイラルコイルインダクタL_nを使用してデカップリング回路を構成しているため、少ないスペースでより大きなデカップリング効果が発生する。

【0042】前記スパイラルコイルインダクタを使用して高周波フィルタを構成しているものは、特に低周波動作の論理装置に最新のIC/LSIを使用する場合、IC/LSIの矩形波信号の上昇時間や下降時間が早すぎることに伴う不要の伝導性または放射性的電磁波の発生を防止できる。

【0043】前記スパイラルコイルインダクタL_nに対向する電源導体層とグランド導体層の一部で構成しているものは、スパイラルインダクタの必要量が少ない場合には層数が従来の多層プリント配線板に対して増えないというコスト的な利点がある。

【0044】前記スパイラルコイルインダクタを対向す

る2層の電源導体層の一部で構成し、前記2層の電源導体層の外側両面にグランド導体層と、さらに前記グランド導体層の外側両面に絶縁層を挟んで配置される信号導体層(図8の5)で構成しているものは、スパイラルコイルインダクタの必要量が多い場合は、信号導体層の信号に連続した帰線を信号導体層に近接して与えるため、不要の伝導性または放射性的電磁波の発生を防止できるとともに、信号波形のひずみを最小限に抑制する効果がある。

【0045】前記スパイラルコイルインダクタを構成するための対向する2層の貫通する信号導体層間垂直接続用スルーホールまたはビアホール毎に、前記対向する2層の外側に配置される2層のグランド導体層を垂直に接続する1個以上のスルーホールまたはビアホールを近接して配置しているものは、不要の伝導性または放射性的電磁波の発生を防止できるとともに、信号波形のひずみを最小限に抑制することができる。

【0046】前記スパイラルコイルインダクタを構成するための磁性材料として金属またはフェライト微粒粉末とエポキシ系等の絶縁溶剤との混合物を使用しているため、プリント配線板の製造プロセスへの影響を少なくすることができる。

【0047】前記スパイラルコイルインダクタを構成するための磁性材料として金属箔を使用するものは、磁性層の製造プロセスを軽減できる。

【0048】次に、本実施形態のプリント配線の具体例の試験の結果について述べる。

【0049】図1、図2および図3に示されたように、全面平板の電源層と対向する層との間でスパイラルコイルを配線とビアホールで形成し、両層間にインダクタンスを大きくする目的でNi-Zn系フェライト微粒粉末とエポキシ系絶縁溶剤との混合物を層状に配置し、図5に示すように、デカップリング回路を強化したプリント配線を使用した電子機器(EWS:エンジニアリングワークステーション)を電波暗室において放射電界強度(VCCI測定法)を測定した結果と従来例について測定した結果を図11(a)、(b)および図12(a)、(b)に示す。また、図11および図12の測定結果をまとめて表1に示す。

【0050】

【表1】

周波数 (MHz)	従来例		実施例		差異	
	垂直偏波 (dB μ V/m)	水平偏波 (dB μ V/m)	垂直偏波 (dB μ V/m)	水平偏波 (dB μ V/m)	垂直偏波 (dB μ V/m)	水平偏波 (dB μ V/m)
80	34	35	25	22	-9	-13
320	33	33	(19)	(20)	-14	-13
360	27	31	(23)	(23)	-4	-8
480	36	42	(24)	(26)	-12	-16
600	29	31	(24)	(23)	-5	-8
800	38	34	(29)	(27)	-9	-7
860	39	43	37	40	-2	-3
920	36	34	(27)	(29)	-9	-5

この表で()内はノイズレベルを示している。表1に示すように、従来の電源層が全面平板であるオリジナル基板(図中では従来例と表記)と本発明を適用した基板(実施例)を比較すると、実施例のほうが、クロック周波数(40MHz)の通倍波のスペクトラム(80MHz、320MHz、360MHz、480MHz、600MHz、800MHz、860MHz、920MHz)が顕著に抑制されており、放射電界の低減効果があることが分かる(80MHzと860MHz以外のスペクトラムは暗ノイズレベルまで抑制されている。)

【0051】また、図13(a)、(b)には、従来例と実施例(EWS)の基板上に磁界測定プローブを走査して得られた近傍磁界分布の測定結果を示す。測定は前記放射電界強度測定において、顕著な抑制効果が見られた周波数の全てについて行なったが、ここではクロック周波数の2倍波である80MHzの例を示す。図13の分布図で、色の濃い箇所は磁界強度の強い箇所を表わし、色が薄くなるにつれて磁界強度が弱くなっていくことを表わしている。また、分布図の中の左下部分で色の濃い箇所にノイズ発生源であるCPUおよび大きなLSIが配置された基板が存在する。図13(a)と図13(b)の分布図を比較してみると、図13(b)の実施例についての上部および右側等の周辺の磁界強度が弱くなっていることが分かる(周りへの拡散が減少している。)。これは、ノイズ発生源であるCPU、大きなLSIからの高周波電源電流が近傍に配置したデカップリ

ングコンデンサによって、グラウンドに効率よくバイパスされ、他の電子回路への廻り込みが減ったことを意味し、個々のLSI/IC単位でのアイソレーションによるデカップリング効果が高まったことを示している。

【0052】図13(b)の近傍磁界分布図において、本実施例のデカップリング効果が高まり、他の回路への高周波電源電流の廻り込みが減少した結果を得た。特に、右側上部への拡散が減っていることが判る。なお、他の周波数においても、同様の傾向があることが確認された。この対象プリント配線板の右側エッジには図14に示すように、外部とのインターフェース用I/Oコネクタが配置されている(RS232C1、RS232C2、プリンタ、キーボード/マウス)。従って、コネクタ部分への高周波電流の拡散が減じたということは、上記I/Oコネクタを介してインターフェースケーブルに重畳する電流(コモンモード電流と呼ぶ。)も減じているはずで、図15に示した測定系で、上記ケーブルに重畳するコモンモード電流を電流プローブを用い測定した。その結果(スペクトラムアナライザで観測された電流波形)を図16(a)、(b)、図17(a)、(b)、図18(a)、(b)、および図19(a)、(b)に示す(80MHzのみ)。また、コモンモード電流測定結果を表2で示す。

【0053】

【表2】

周 波 数 (MHz)	RS232C1コネクタ			RS232C2コネクタ			プリンタ・コネクタ			KB/マウス・コネクタ		
	従来例 dB μ V	実施例 dB μ V	差異 dB μ V	従来例 dB μ V	実施例 dB μ V	差異 dB μ V	従来例 dB μ V	実施例 dB μ V	差異 dB μ V	従来例 dB μ V	実施例 dB μ V	差異 dB μ V
80	28	33	-5	28	33	-5	29	37	-8	29	39	-10
320	43	52	-9	40	47	-7	44	50	-6	41	48	-7
360	45	41	4	41	42	-1	40	42	-2	37	42	-5
480	40	54	-14	40	54	-14	36	51	-15	33	54	-21
800	35	43	-8	31	33	-2	32	44	-11	32	41	-9
920	33	49	-16	28	46	-14	36	46	-9	36	45	-9

表2によると、実施例では360MHzのRS232C1コネクタを除き、全ての周波数、コネクタにおいて、コモンモード電流が顕著に減じていることが分かる。

【0054】以上のように、本発明を適用することにより、デカップリング回路が強化され、機器からの電磁放射ノイズを大幅に抑制することが出来る。

【0055】

【発明の効果】以上説明したように本発明は、プリント配線板にスパイラルコイルインダクタを構成することにより次の効果がある。

【0056】第1の効果は、スパイラルコイルインダクタをプリント配線板の内層で構成しているため、特別の部品を実装する必要がない。このため、高密度実装のプリント配線板に適用し、効果的にEMC問題の発生を防止することができる。

【0057】第2の効果は、スパイラルコイルインダクタの設計をプリント配線板用CADツールで、配線設計と同時に進めるので、設計ならびに製造期間を大幅に短縮することができる。

【0058】第3の効果は、プリント配線板上のLC、LSI等の電子回路毎の電源線が高い高周波インピーダンスで分離されるので、プリント配線板上のIC、LSI等の電子回路の一つ一つの高周波電源電流を回路設計者がコントロールすることができる。このためIC、LSI等の電子回路の高周波動作に伴う設計上の問題が生じたときの解決を早めることができる。

【0059】第4の効果は、プリント配線板上のIC、LSI等の電子回路の高周波動作を安定化するという点である。このため、マルチメディア機器の高速クロック化の促進に寄与できる。その理由は、高周波で高いインピーダンスとなるスパイラルコイルインダクタと高周波で低いインピーダンスとなるコンデンサを使用することにより、IC、LSI等の電子回路から電源線を見

ると非常に低いインピーダンスとなり電源変動による信号波形のひずみを抑制することができ、一方、共通電源線からIC、LSI等の電子回路をみると非常に高いインピーダンスとなり共通電源線に接続されている他のIC、LSI等の電子回路からの高周波電源電流の回り込みを抑制することができるからである。

【0060】第5の効果は経済性ならびに信頼性品質に優れているということである。その理由はスパイラルコイルインダクタをプリント配線板の内層で構成しているため、プリント配線板の製造と同時にスパイラルコイルインダクタも高い技術で製造されるためである。

【図面の簡単な説明】

【図1】本発明のプリント配線板の一実施形態の要部であるスパイラルコイルインダクタの回路シンボル図である。

【図2】(a)は図1のプリント配線板の第1実施例のスパイラルコイルインダクタの平面図である。(b)は(a)の縦断面図である。

【図3】図2(a)のスパイラルコイルインダクタの斜視図である。

【図4】(a)は図1のプリント配線板の第2実施例のスパイラルコイルインダクタの平面図である。(b)は(a)の縦断面図である。

【図5】図1のスパイラルコイルインダクタの応用例を示す回路図である。

【図6】図5のスパイラルコイルインダクタの斜視図である。

【図7】図1のスパイラルコイルインダクタを構成するための4層プリント配線板の縦断面図である。

【図8】図1のスパイラルコイルインダクタを構成するための6層プリント配線板の縦断面図である。

【図9】本発明のプリント配線板の図7と異なる6層プリント配線板の一実施例の縦断面図である。

【図10】図1のスパイラルコイルインダクタを構成するための他の6層プリント配線板の縦断面図である。

【図11】電波暗室におけるプリント配線板の放射電界強度の測定結果を示すグラフであって、(a)はプリント配線板の従来例の測定結果を示し、(b)は本発明のプリント配線板の一実施例の測定結果を示す。

【図12】図11の放射電界強度の測定結果を示す他のグラフであって、(a)はプリント配線板の従来例の測定結果を示し、(b)は本発明のプリント配線板の一実施例の測定結果を示す。

【図13】プリント配線板の近傍磁界分布測定図であって、(a)はプリント配線板の従来例の近傍磁界分布を示し、(b)は本発明のプリント配線板の一実施例の近傍磁界分布を示す。

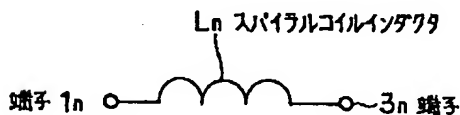
【図14】I/Oコネクタの配置を示す本発明のプリント配線板の一実施例の平面図である。

【図15】図14のI/Oコネクタを介してインターフェースケーブルに重畳する共通モード電流を測定するための測定系を示す図である。

【図16】I/Oコネクタ(RS232C1)の共通モード電流測定結果を示すグラフであって、(a)はプリント配線板の従来例の測定結果を示し、(b)は本発明のプリント配線板の一実施例の測定結果を示す。

【図17】I/Oコネクタ(RS232C2)の共通モード電流測定結果を示すグラフであって、(a)はプリント配線板の従来例の測定結果を示し、(b)は本発明のプリント配線板の一実施例の測定結果を示す。

【図1】



【図18】I/Oコネクタ(キーボード/マウス)の共通モード電流測定結果を示すグラフであって、(a)はプリント配線板の従来例の測定結果を示し、(b)は本発明のプリント配線板の一実施例の測定結果を示す。

【図19】I/Oコネクタ(プリンタ)の共通モード電流測定結果を示すグラフであって、(a)はプリント配線板の従来例の測定結果を示し、(b)は本発明のプリント配線板の一実施例の測定結果を示す。

【図20】プリント配線板の従来例の縦断面図である。

10 【図21】図20のプリント配線板を使用した場合の電子回路を含む回路図である。

【符号の説明】

1, 1a, 1b, 1n 電源線または電源導体層

2 グランド線またはグラウンド導体層

1n, 3, 3a, 3b, 3n, 4, 4a, 4b, 4n 端子

5 信号線または信号導体層

6 絶縁層

7, 7i 絶縁性の磁性層

20 8, 8a, 8b, 8c, 8d, 8e, 8i, 8j スルーホールまたはビアホール

9, 9a, 9b, 10, 10a, 10b 導体

11 絶縁コーティング

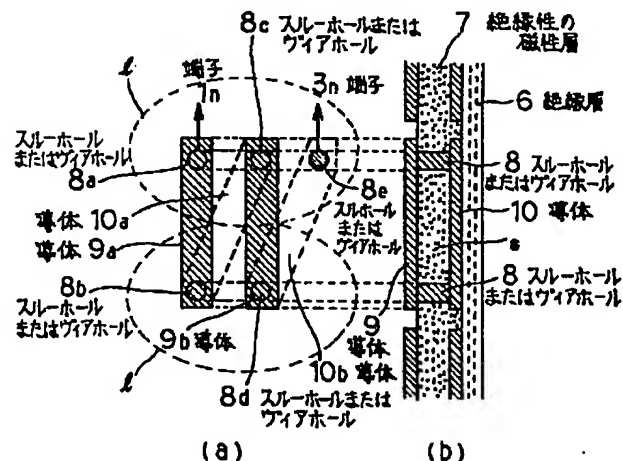
L, L1, L2, Ln スパイラルコイルインダクタ

Z, Z1, Z2, Zn 電子回路

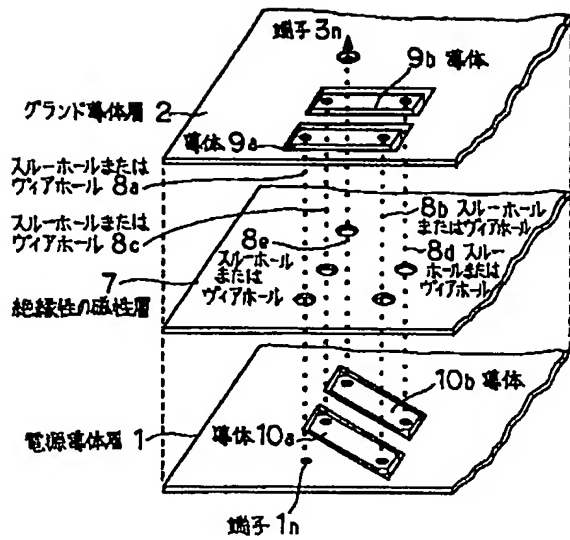
C, C1, C2, Cn コンデンサ

F1 高周波フィルタ

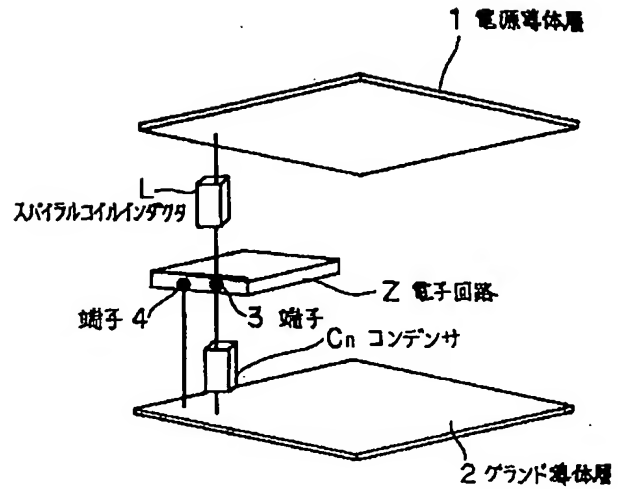
【図2】



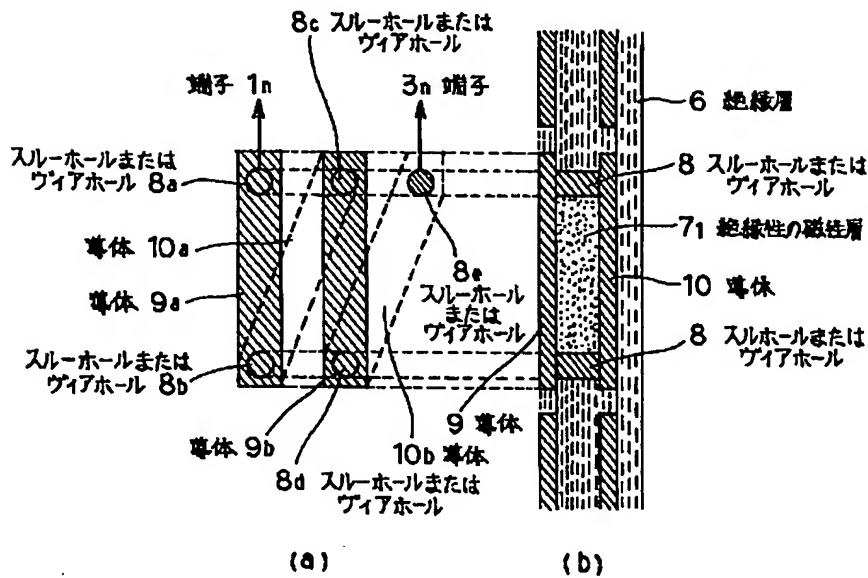
【図 3】



【図 6】



【図 4】



【図 7】

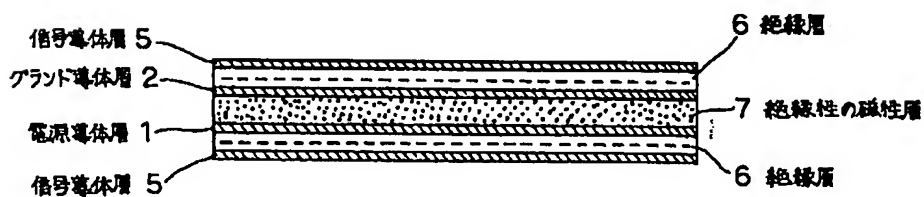


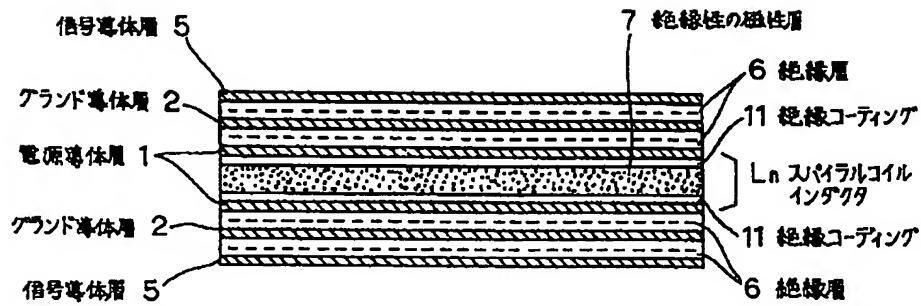
Figure 1 is a schematic diagram of a multi-channel signal processing circuit. The circuit is divided into three parallel channels, each containing a subcircuit (電子回路) and a variable capacitor (可変コンデンサ). The input terminals are labeled 1a, 1b, and 1n, and the output terminals are labeled 4a, 4b, and 4n. The circuit is powered by a power supply (+Vcc) and a ground line (G). The variable capacitors are labeled C1, C2, and Cn. The subcircuits are labeled 電子回路. The input and output lines are labeled 電源線または電源導体層 (Power line or power conductor layer) and 信号線または信号導体層 (Signal line or signal conductor layer).

Figure 1 is a cross-sectional view of a spiral coil inductor. The structure consists of a central core (1) surrounded by a spiral coil (Ln). The core is made of a magnetic material (7) with an insulating layer (6) on its surface. The spiral coil is made of a conductive material (2) with an insulating layer (6) on its surface. The entire assembly is covered by a signal conductor layer (5).

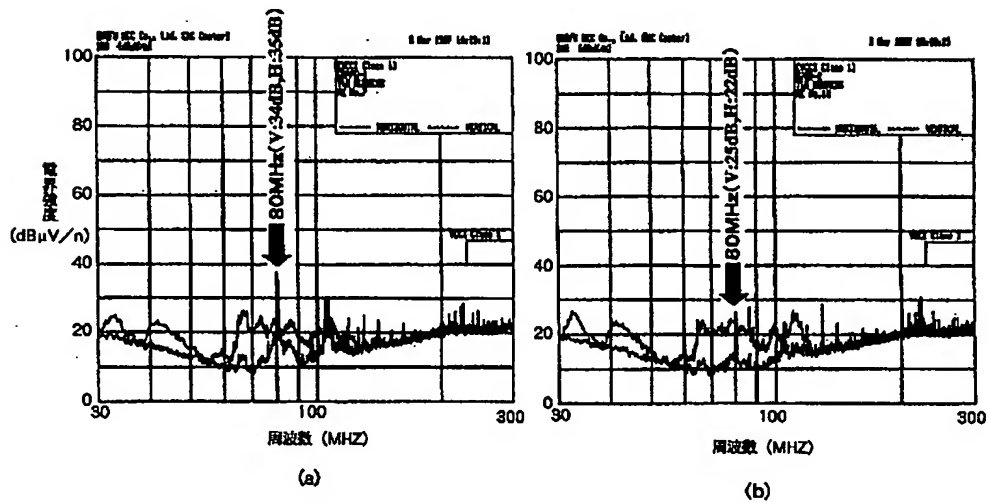
[illegible]

Figure 1 is a cross-sectional view of a cable 10. The cable 10 is shown as a horizontal cylinder. It has a central core 11 and an outer jacket 12. The core 11 is composed of four distinct layers, each with a different hatching pattern. From the center outwards, these layers are: a signal conductive layer 5 (diagonal lines from top-left to bottom-right), a ground conductive layer 2 (horizontal lines), a power conductive layer 1 (vertical lines), and another signal conductive layer 5 (diagonal lines from top-right to bottom-left). The outer jacket 12 is composed of three concentric layers, each labeled with the number 6 and having a different hatching pattern: a diagonal line pattern (top-right to bottom-left), a horizontal line pattern, and a vertical line pattern. Labels on the left side point to the conductive layers, and labels on the right side point to the insulating layers.

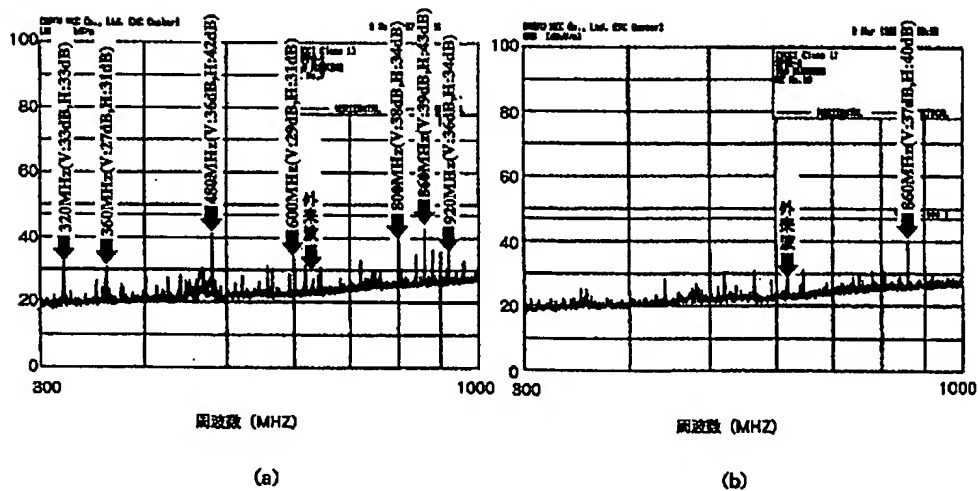
【図 10】



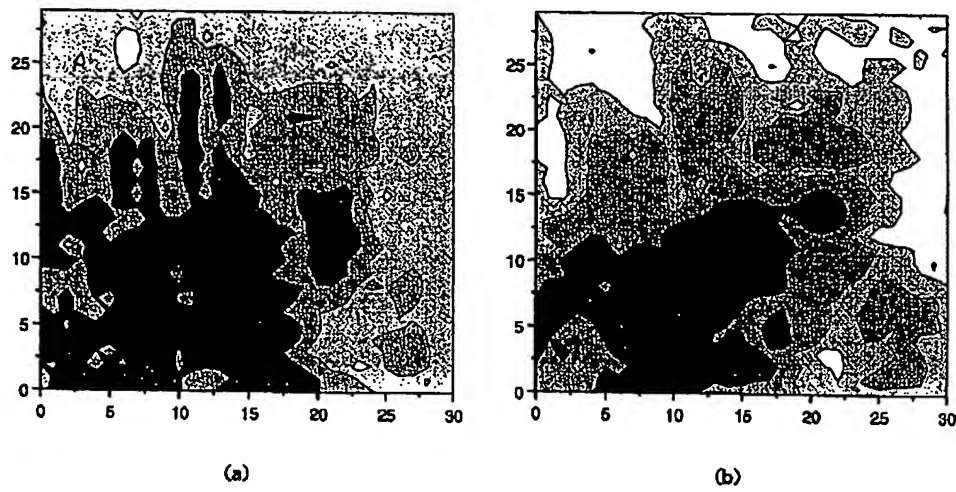
【図 11】



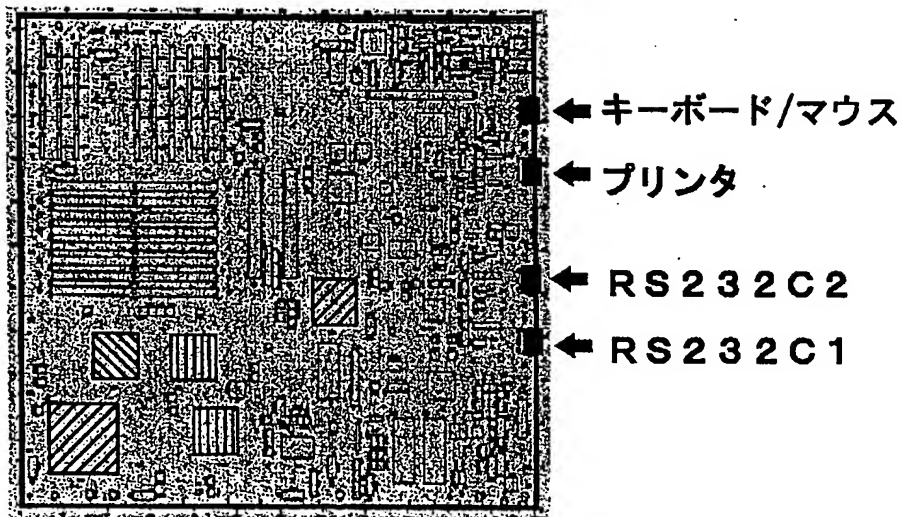
【図 12】



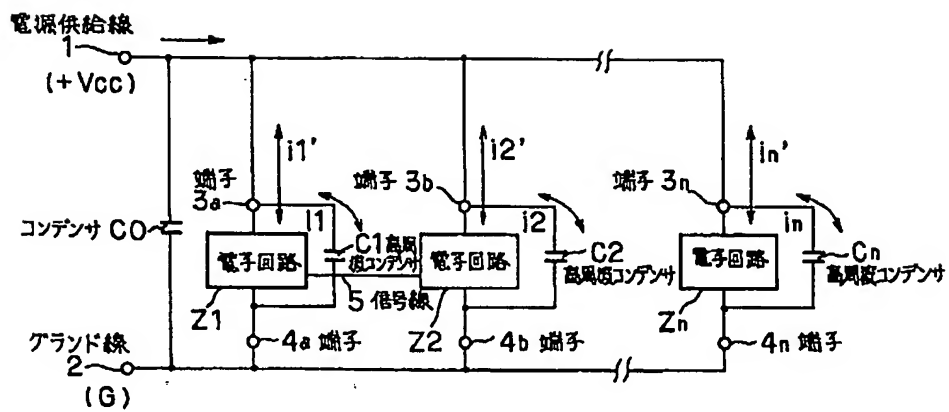
【図 13】



【図 14】

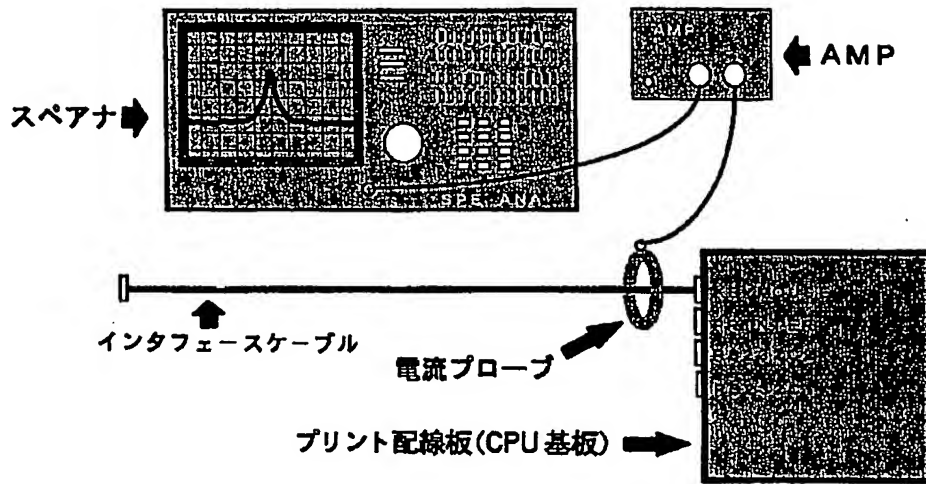


【図 21】

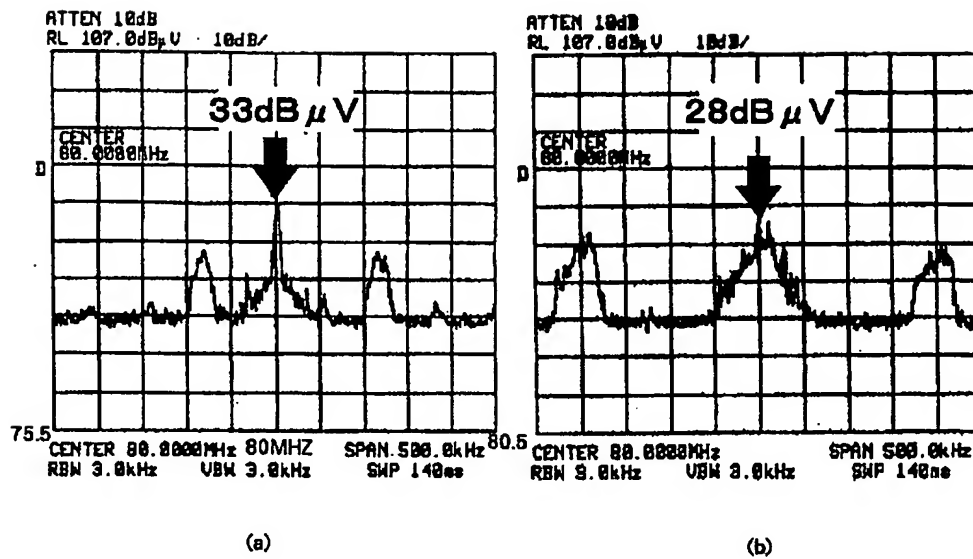


BEST AVAILABLE COPY

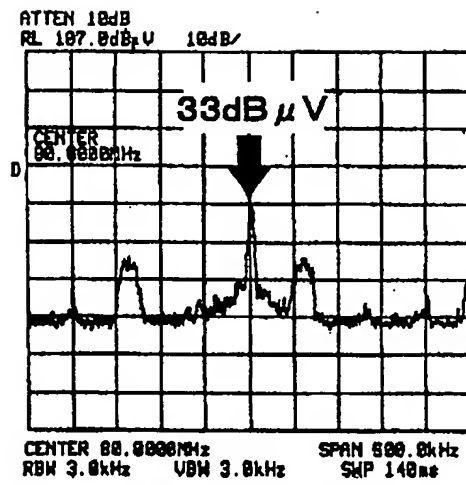
【図 15】



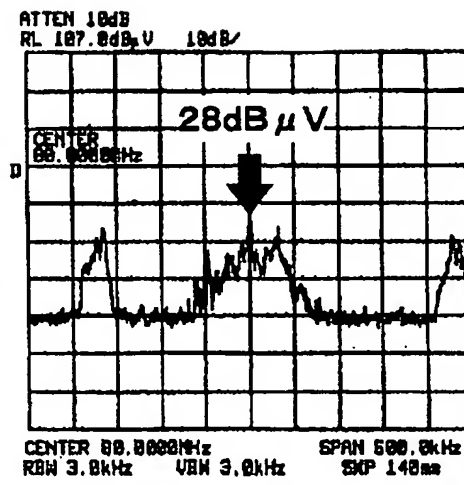
【図 16】



【図 1 7】

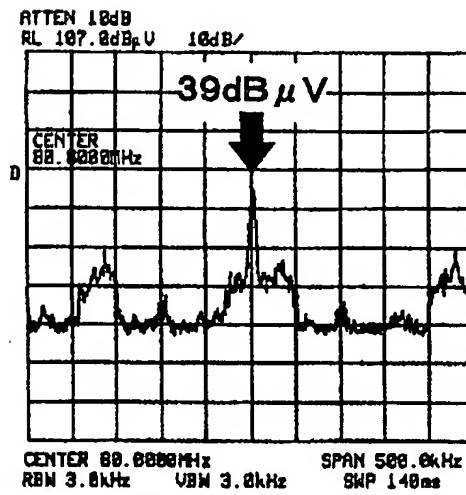


(a)

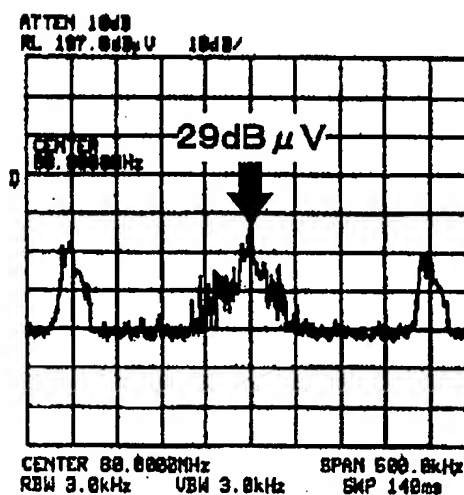


(b)

【図 1 8】



(a)



(b)

【図19】

